

Institutskolloquium

Montag, 22.07.2024

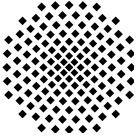
Raum 1.348, Pfaffenwaldring 47, 70569 Stuttgart

10:00

Herr Louis Petrick (MA)

Betreuer: C. Köhler, J. Schur (Fa. Viavi Solutions)

Entwurf und Implementierung eines PCIe Transaction Layer Packet Generators mit Hilfe eines AMD FPGA mit integriertem ARM-Prozessor (SoC)



Institutskolloquium

Montag, 22.07.2024

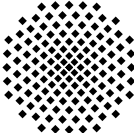
Raum 1.348, Pfaffenwaldring 47, 70569 Stuttgart

10:00

Herr Louis Petrick (MA)

Betreuer: C. Köhler, J. Schur (Fa. Viavi Solutions)

Entwurf und Implementierung eines PCIe Transaction Layer Packet Generators mit Hilfe eines AMD FPGA mit integriertem ARM-Prozessor (SoC)



Institutskolloquium

Montag, 22.07.2024

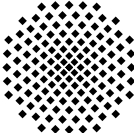
Raum 1.348, Pfaffenwaldring 47, 70569 Stuttgart

10:00

Herr Louis Petrick (MA)

Betreuer: C. Köhler, J. Schur (Fa. Viavi Solutions)

Entwurf und Implementierung eines PCIe Transaction Layer Packet Generators mit Hilfe eines AMD FPGA mit integriertem ARM-Prozessor (SoC)



Institutskolloquium

Montag, 22.07.2024

Raum 1.348, Pfaffenwaldring 47, 70569 Stuttgart

10:00

Herr Louis Petrick (MA)

Betreuer: C. Köhler, J. Schur (Fa. Viavi Solutions)

Entwurf und Implementierung eines PCIe Transaction Layer Packet Generators mit Hilfe eines AMD FPGA mit integriertem ARM-Prozessor (SoC)